

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-319087

(43)公開日 平成6年(1994)11月15日

(51)Int.Cl.<sup>5</sup>

H 04 N 5/44

識別記号

庁内整理番号

F I

技術表示箇所

H 03 J 5/00

J

A 8523-5K

審査請求 未請求 請求項の数 2 FD (全 8 頁)

(21)出願番号

特願平5-128153

(22)出願日

平成5年(1993)4月30日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 小島 茂

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

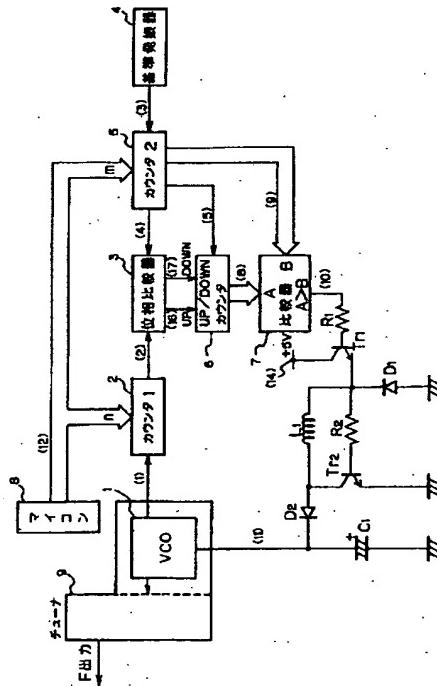
(74)代理人 弁理士 高野 明近 (外1名)

(54)【発明の名称】 周波数ディジタルシンセサイザー方式のテレビジョン受像機

(57)【要約】

【目的】 DC-DCコンバータ回路によって高電圧を発生させることなく、回路を構成し、スイッチングノイズの減少、トランスの小型化、部品定格の低電圧化を図る。

【構成】 デジタルシンセサイザー方式のテレビジョン受像機において、基準信号を分周した信号(14)とVCO1の発振信号を分周した信号(2)を位相比較器3に比較し、位相比較器3により求められたVCO1の制御電圧のアップ/ダウン信号をもとにPWM(パルス幅変調)信号を得、昇降圧回路にて目的の制御電圧信号(11)を得る。



**【特許請求の範囲】**

**【請求項1】** 電圧制御発振器と、基準信号を分周した信号と前記電圧制御発振器の発振信号を分周した信号とを比較する位相比較器とを備えた周波数ディジタルシンセサイザーチューナ部を有する電子機器装置において、前記電圧制御発振器の制御電圧のアップ／ダウン信号を作成するカウンタ部と、該カウンタ部のカウンタ出力をもとにパルス幅変調信号を作成する比較器とを備えたことを特徴とする周波数ディジタルシンセサイザー方式のテレビジョン受像機。

**【請求項2】** 電圧制御発振器と、基準信号を分周した信号と前記電圧制御発振器の発振信号を分周した信号とを比較する位相比較器とを備えた周波数ディジタルシンセサイザーチューナ部を有する電子機器装置において、前記電圧制御発振器の制御電圧を前記電子機器装置のその他の回路の基準電圧を昇降圧するための昇降圧回路を備えたことを特徴とする周波数ディジタルシンセサイザー方式のテレビジョン受像機。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** 本発明は、周波数ディジタルシンセサイザー方式のテレビジョン受像機に関し、より詳細には、周波数ディジタルシンセサイザー方式を用いたチューニングシステムにおいて、チューニング電圧（1～32V）を+5V等の低い電圧から昇降圧回路により作るテレビジョン（TV）受像機に関する。

**【0002】**

**【従来の技術】** 図4は、従来の昇・降圧型チューニング電圧発生回路で、図中、11は電圧制御発振器（Voltage Controlled Oscillator: VCO）、12は第1の力

$$\text{信号(2)} > \text{信号(4)} \text{ のとき } \text{信号(6)} \cdot (7) = \text{Hレベル} \quad \cdots \text{式(2)}$$

$$\text{信号(2)} < \text{信号(4)} \text{ のとき } \text{信号(6)} \cdot (7) = \text{Lレベル} \quad \cdots \text{式(3)}$$

$$\text{信号(2)} = \text{信号(4)} \text{ のとき } \text{信号(6)} \cdot (7) = \text{ハイインピーダンス} \cdots \text{式(4)}$$

信号(7)がLレベルの時、トランジスタTR3はOFF状態となり、コンデンサC4に蓄積されている電荷が抵抗R4を通してコンデンサC3に充電され、信号(11)の電位が上がる。また信号(7)がHレベルの時、トランジスタTR3はON状態となり、抵抗R3を通してコンデンサC3から放電され電位が下がる。

**【0005】** このときVCO11は、入力信号(11)の電圧が上がると発振周波数は上がり、電圧が下がると発振周波数は下がる。以上の動作が繰り返し行われることで、VCO11は目的とする発振周波数にて発振を継続する。また、信号(13)（例えば+33V）はDC-DCCコンバータ17にて制御される電圧変換トランスT1の出力をダイオードD3とコンデンサC4にて整流した信号である。

**【0006】**

**【発明が解決しようとする課題】** 前述のように、従来の昇・降圧型チューニング電圧発生回路では、基準電圧

ウンタ、13は位相比較器、14は基準発振器、15は第2のカウンタ、16はマイクロコンピュータ、17はDC-DCCコンバータ、18はチューナである。電圧制御発振器（VCO）11は、その発振周波数を決める電圧信号（11）の電圧により制御される。第1のカウンタ12は、VCOの出力信号（1）を1/n分周する。位相比較器13は、VCOの出力信号（1）を第1のカウンタで1/n分周した信号（2）と、基準出力信号を第2のカウンタで1/m分周した信号との位相を比較する。第2のカウンタ15は、基準信号を1/m分周する。TR3, R3, R5, C2, C5は電圧変換トランスT1の出力をダイオードD3とコンデンサC4とによって整流した信号（13）から目的の電圧信号（11）を得るための回路である。

**【0003】** マイコン16から信号（12）にて第1のカウンタ12にVCOからの信号（1）（f Hz）を分周する分周比nが与えられ、第1のカウンタ12は信号（1）を1/n分周した信号（2）を出力する。マイコン16から信号（12）にて第2のカウンタ15に基準発振器15からの信号（3）（f Hz）を分周する分周比mが与えられ、第2のカウンタ15は信号（3）を1/m分周した信号（4）を出力する。このとき、n, mは式（1）の条件にて設定される。

$$f \div n = F \div m \quad \cdots \text{式(1)}$$

**【0004】** 位相比較器13は第1のカウンタ12の出力信号（2）と第2のカウンタ15の出力信号（4）を比較することにより信号（6）・信号（7）を出力する。信号（6）・信号（7）は式（2），式（3），式（4）のように動作する。

（信号13）となる33Vを予め電源回路にて用意していなければならない。例えば、電池動作の機器であったならDC-DCCコンバータ17等で他の電圧と同時に作る。この時、他の電圧の中に負電圧（例えば-8V）があったとすると、DC-DCCコンバータ17のトランス出力の最大・最小値の差が100V以上にもなってしまい、回路に使用する部品の定格を大きくしなければならない。また、スイッチングノイズも電圧に比例して大きくなり、それをおさえるため回路を付加しなければならない。また、トランスの巻線比が大きくなり、トランスが大型化する等の問題点がある。

**【0007】** 本発明は、このような実情に鑑みてなされたもので、DC-DCCコンバータ回路にて高電圧を発生させることなく回路構成が出来るようにし、スイッチングノイズの減少・トランスの小型化・部品定格の低電圧化を図るようにした周波数ディジタルシンセサイザー方式のテレビジョン受像機を提供することを目的としている。

る。

#### 【0008】

【課題を解決するための手段】本発明は、上記目的を達成するために、(1)電圧制御発振器と、基準信号を分周した信号と前記電圧制御発振器の発振信号を分周した信号とを比較する位相比較器とを備えた周波数ディジタルシンセサイザーチューナ部を有する電子機器装置において、前記電圧制御発振器の制御電圧のアップ／ダウン信号を作成するカウンタ部と、該カウンタ部のカウンタ出力をもとにパルス幅変調信号を作成する比較器とを備えたこと、或いは、(2)電圧制御発振器と、基準信号を分周した信号と前記電圧制御発振器の発振信号を分周した信号とを比較する位相比較器とを備えた周波数ディジタルシンセサイザーチューナ部を有する電子機器装置において、前記電圧制御発振器の制御電圧を前記電子機器装置のその他の回路の基準電圧を昇降圧するための昇降圧回路を備えたことを特徴としたものである。

#### 【0009】

【作用】ディジタルシンセサイザ方式の受信機において、基準信号を分周した信号とVCOの発振信号を分周した信号を位相比較器にて比較し、位相比較器により求められたVCOの制御電圧のアップ／ダウン信号をもとにPWM（パルス幅変調）信号を得、昇降圧回路にて目的の制御電圧を得る。

#### 【0010】

【実施例】実施例について、図面を参照して以下に説明する。図1は、本発明による周波数ディジタルシンセサイザ方式のテレビジョン受像機一実施例を説明するための構成図で、図2及び図3は、図1における各部の信号波形を示す図である。図中、1は電圧制御発振器（VCO）、2は第1のカウンタ、3は位相比較器、4は基準発振器、5は第2のカウンタ、6はアップ／ダウン（UP/DOWN）カウンタ、7は比較器、8はマイク

信号（2）>信号（4）のとき信号（16）=Hレベル

信号（17）=Lレベル … 式（5）

信号（2）<信号（4）のとき信号（16）=Lレベル

信号（17）=Hレベル … 式（6）

信号（2）=信号（4）のとき信号（16）=Lレベル

信号（17）=Lレベル … 式（7）

入力され、第2のカウンタ5より出力される信号（9）と比較され、信号（8）>信号（9）であったなら信号（10）にHレベルが出力される。

【0015】すなわち、信号（10）のパルス幅tはVCO1の発振周波数を上げる時広がり、下げる時狭まる。これら一連の動作により、信号（10）はVCO1が発振する周波数によりデューティー比が変化する。信号（11）の電圧が信号（14）の電圧より低い時、信号（10）の方形波がトランジスタTR1を通り、L1・C1のLCフィルタで平均化され、目的の電圧を得ることが出来る。この時、トランジスタTR2は能動状態

【0014】アップ／ダウンカウンタ6は、信号（17）がHレベルの時、アップカウントをし、信号（16）がHレベルの時、ダウンカウントをし、信号（16）・（17）が共にLレベルの時にはカウントを実行しない。またこのカウンタのカウントクロック信号（5）は第2のカウンタ5より、あらかじめ一定の周波数にて出力されている。すなわちアップ／ダウンカウンタ6の出力信号（8）（例えば、8bitのバイナリーデータ）は、信号（2）>信号（4）のときアップし、信号（2）<信号（4）のときダウンする。アップ／ダウンカウンタ6から出力された信号（8）は比較器7に

ロコンピュータ、9はチューナである。

【0011】電圧制御発振器（VCO）1は、その発振周波数を決める電圧信号（11）により制御される。第1のカウンタ2は、VCO出力信号（1）を $1/n$ 分周する。位相比較器3は、VCOの出力信号を第1のカウンタで $1/n$ 分周した信号（2）と、基準発振器からの基準信号を第2のカウンタで $1/m$ 分周した信号（4）の位相を比較する。第2のカウンタ5は、基準信号を $1/m$ 分周する。アップ／ダウンカウンタ6は、位相比較器のアップ信号（16）と位相比較器のダウン信号（17）によりアップ／ダウンする。比較器7は、アップ／ダウンカウンタの出力信号（8）と基準信号を第2カウンタで分信した信号（9）を比較する。マイクロコンピュータ8は、第1のカウンタ2と第2のカウンタ5に分周比n・mを与える。R1・TR1・D1・L1・R2・TR2・D2・C1は、比較器の出力信号10のパルス幅により、VCOの発振周波数を決める電圧信号（11）の電圧を昇降圧させる回路である。

【0012】マイコン8から信号（12）にて第1のカウンタ2にVCO1からの信号（1）（f Hz）を分周する分周比nが与えられ、第1のカウンタ2は信号（1）を $1/n$ 分周した信号（2）を出力する。マイコン8から信号（12）にて第2のカウンタ5に基準発振器4からの信号（3）（f Hz）を分周する分周比mが与えられ、第2のカウンタ5は信号（3）を $1/m$ 分周した信号（4）を出力する。このとき、n、mは前述の式（1）の条件にて設定される。

$$f \div n = F \div m \quad \dots \text{式 (1)}$$

【0013】位相比較器3は第1のカウンタ2の出力信号（2）と第2のカウンタ5の出力信号（4）を比較することにより、信号（16）・信号（17）を出力する。信号（16）・信号（17）は式（5），式（6），式（7）のように動作する。

にはならない。信号(11)の電圧が信号(14)の電圧より高い時、信号(10)の方形波がトランジスタTR1をONすると、トランジスタTR2もONし、L1にエネルギーを蓄え、OFFのとき、このエネルギーを入力電圧に重畠させて、ダイオードD2を通り、コンデンサC1を取り出し、目的の電圧を得ることが出来る。このとき、VCO1は入力信号(11)の電圧が上がると発振周波数は上がり、電圧が下がると発振周波数は下がる。このようにして作られた信号(11)により、VCO1は目的の周波数を発振する。信号(13)のような特別な高電圧を使用せず、これらのシステムの中に必ず存在する低電圧(例えば+5V)から昇降圧回路を用いて信号(11)を得る。

#### 【0016】

【発明の効果】以上の説明から明らかなように、本発明によると、以下のような効果がある。

(1) DC-DCコンバータ回路にて高電圧を発生させることなく回路の構成が出来るため、従来の回路では問題であったスイッチングノイズの減少・トランジスタの小型化・部品定格の低電圧化に効果があり、回路の小型化・コストダウンが図れる。

(2) 周波数シンセサイザーの位相比較器の出力を利用し、周波数を上げるか下げるかの信号より次段のアップ

/ダウンカウンタにて現在のVCO周波数からの具体的な変化量を与え、比較器にて制御したいVCO周波数に比例したパルス幅変調信号を出力する。この信号を利用することにより、従来技術のように外部にアナログ回路にてフィルタを設け、周波数のアップ/ダウンを行なう必要がない。又、この回路を用いることによりIC化に最適な回路構成が可能となる。

#### 【図面の簡単な説明】

【図1】本発明による周波数ディジタルシンセサイザ方式のテレビジョン受像機の一実施例を説明するための構成図である。

【図2】図1における各部の信号波形を示す図(その1)である。

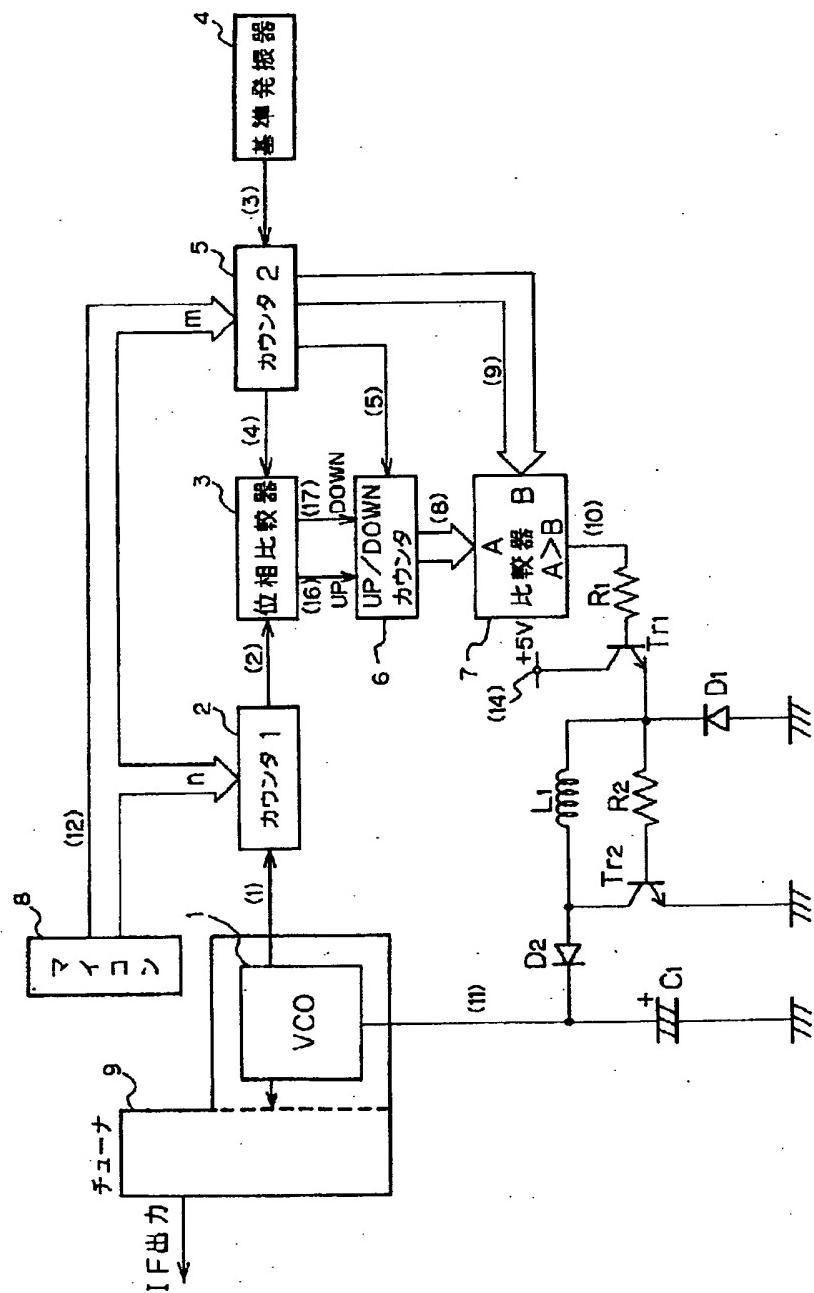
【図3】図1における各部の信号波形を示す図(その2)である。

【図4】従来の周波数ディジタルシンセサイザ方式のテレビジョン受像機の構成図である。

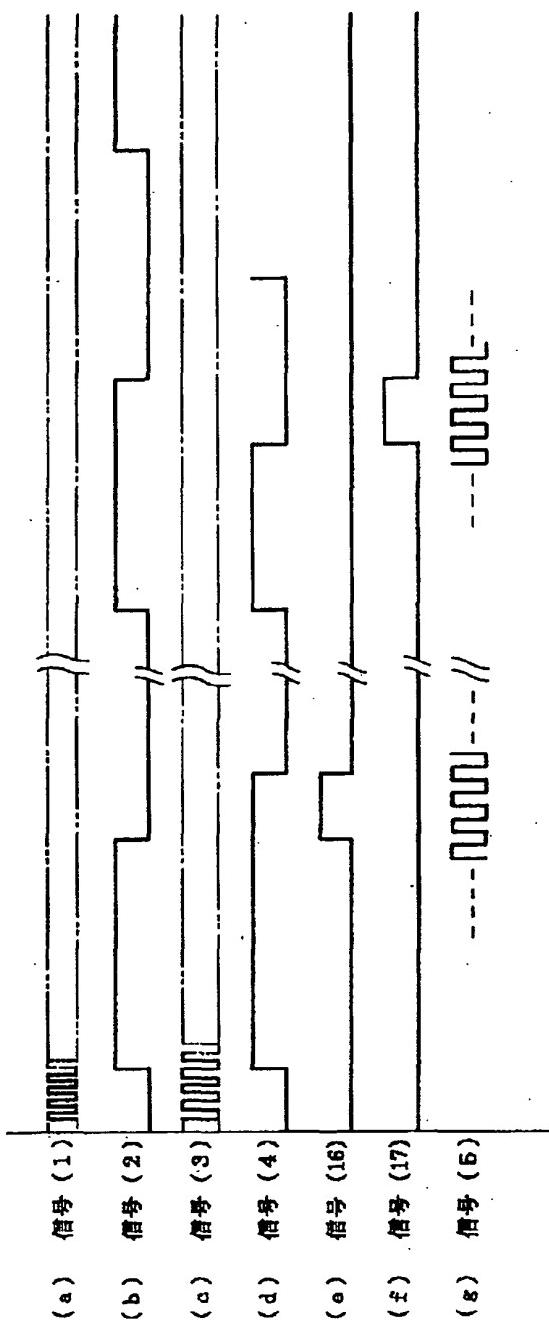
#### 【符号の説明】

1…電圧制御発振器(VCO)、2…第1のカウンタ、3…位相比較器、4…基準発振器、5…第2のカウンタ、6…アップ/ダウンカウンタ、7…比較器、8…マイクロコンピュータ、9…チューナ。

【図1】

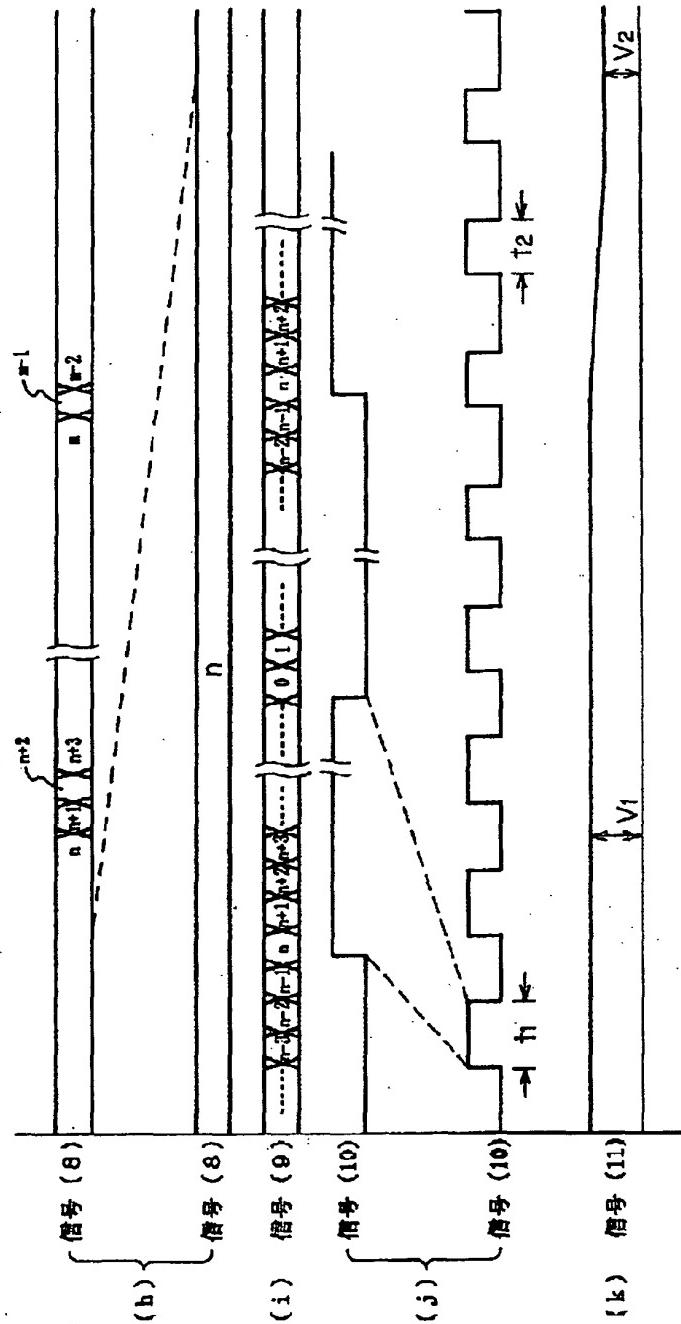


【図2】



本発明の各タイミングチャート(その1)

【図3】



【図4】

